

#2
Pintos
PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Yasuo ONISHI et al.**

Serial No.: **Not Yet Assigned**

Filed: **January 31, 2001**

For: **DISPLAY DEVICE AND PIXEL CORRESPONDING DISPLAY DEVICE**



CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Director of Patents and Trademarks
Washington, D.C. 20231

January 31, 2001

Sir:

The benefit of the filing dates of the following prior foreign applications is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2000-025906, filed on February 3, 2000; and

Japanese Appln. No. 2000-068937, filed on March 13, 2000.

In support of this claim, the requisite certified copies of said original foreign applications are filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copies.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,
ARMSTRONG, WESTERMAN, HATTORI
McLELAND & NAUGHTON, LLP

Mel R. Quintos
Reg. No. 31,898

Atty. Docket No.: 010093
Suite 1000, 1725 K Street, N.W.
Washington, D.C. 20006
Tel: (202) 659-2930
Fax: (202) 887-0357
MRQ/yap

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2000年 3月13日

出 願 番 号
Application Number:

特願2000-068937

出 願 人
Applicant (s):

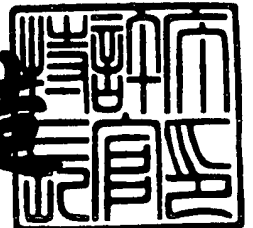
三洋電機株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 1月 5日

特許庁長官
Commissioner,
Patent Office

及川耕造



【書類名】 特許願

【整理番号】 EBA1000002

【提出日】 平成12年 3月13日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 5/00

【発明者】

 【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社
社内

 【氏名】 大西 泰生

【発明者】

 【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社
社内

 【氏名】 小池 淳司

【特許出願人】

 【識別番号】 000001889

 【氏名又は名称】 三洋電機株式会社

【代理人】

 【識別番号】 100086391

 【弁理士】

 【氏名又は名称】 香山 秀幸

【手数料の表示】

 【予納台帳番号】 007386

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9300341

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画素対応表示装置

【特許請求の範囲】

【請求項 1】 入力映像信号の水平同期信号に基づいてサンプリングクロックを発生させるクロック発生回路、

入力映像信号をクロック発生回路から発生したサンプリングクロックに基づいてサンプリングする A/D 変換器、

A/D 変換器から出力される画像データを所定のしきい値と比較することにより、各水平ラインの水平映像開始位置および水平映像終了位置を検出する検出手段、

1 フィールド内において検出された水平映像開始位置のうち、水平同期信号によって特定される水平期間開始位置に最も近い水平映像開始位置と、1 フィールド内において検出された水平映像終了位置のうち、水平同期信号によって特定される水平期間開始位置から最も遠い水平映像終了位置とに基づいて、1 フィールド毎に入力画像信号の水平映像開始位置と水平映像終了位置までの距離に相当するサンプリングクロック数を算出するための算出手段、

算出手段による算出結果に基づいて、クロック発生回路を制御することにより、サンプリングクロックの周波数を調整する周波数調整手段、

算出手段による算出結果に基づいて、入力映像の画像存在領域幅が水平有効画素数より狭いか否かを、1 フィールド毎に判別する判別手段、ならびに

入力映像の画像存在領域幅が水平有効画素数より狭いと判別されたときには、そのフィールドで求められたサンプリングクロック数に基づく周波数調整動作を停止させる手段、

を備えている画素対応表示装置。

【請求項 2】 入力画像信号の水平同期信号を遅延させて出力する遅延量可変の遅延回路、

遅延回路から出力される水平同期信号に同期したサンプリングクロックを発生するクロック発生回路、

入力画像信号をクロック発生回路から発生したサンプリングクロックに基づい

てサンプリングする A/D 変換器、

A/D 変換器から出力される画像データを所定のしきい値と比較することにより、各水平ラインの水平映像開始位置および水平映像終了位置を検出する検出手段、

1 フィールド内において検出された水平映像開始位置のうち、遅延回路から出力される水平同期信号によって特定される水平期間開始位置に最も近い水平映像開始位置と、1 フィールド内において検出された水平映像終了位置のうち、遅延回路から出力される水平同期信号によって特定される水平期間開始位置から最も遠い水平映像終了位置とに基づいて、1 フィールド毎に入力画像信号の水平映像開始位置と水平映像終了位置までの距離に相当するサンプリングクロック数を算出するための算出手段、

遅延回路に対する設定遅延量を 1 フィールド毎に所定量ずつ変化させることにより、サンプリングクロックの位相を 1 フィールド毎に所定量ずつ変化させていき、算出手段によって算出されたサンプリングクロック数が減少する方向に変化したときのフィールドにおいて遅延回路に設定されていた設定遅延量を第 1 遅延量として保持するとともに、算出手段によって算出されたサンプリングクロック数が増加する方向に変化したときのフィールドにおいて遅延回路に設定されていた設定遅延量を第 2 遅延量として保持し、第 1 遅延量と第 2 遅延量との加算平均値を算出し、得られた加算平均値に遅延回路に対する設定遅延量を設定する位相調整手段、

算出手段による算出結果に基づいて、入力映像の画像存在領域幅が水平有効画素数より狭いか否かを、1 フィールド毎に判別する判別手段、ならびに

入力映像の画像存在領域幅が水平有効画素数より狭いと判別されたときには、そのフィールドで求められたサンプリングクロック数に基づく位相調整動作を停止させる手段、

を備えている画素対応表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、画像を画素単位で表示する画素対応表示装置に関し、特に、入力される画像信号をアナログ／デジタル変換（以下、A／D変換という）する際のクロック信号と画像信号の画素との位相関係を常に安定状態に保つことにより、画像を適切に表示する画素対応表示装置に関する。

【 0 0 0 2 】

【従来の技術】

画素対応表示装置の一種の液晶表示装置では、1水平走査期間において、画像信号が有する画素データの1ドットと、液晶パネルの1画素との同期がとられて画像が表示される。また、画像信号が1垂直走査期間内に有する任意数のラインデータにおける1本の水平走査線（以下、ラインという）のラインデータが、液晶パネルにおける垂直方向の1ラインに対応して表示される。このラインデータは、画素データの集合体である。

【 0 0 0 3 】

コンピュータが内部で扱うデータはデジタル信号であり、画像信号も画素単位のデジタル信号として発生される。しかしながら、従来から表示器として用いられているCRTディスプレイはアナログデバイスであるため、コンピュータ内で生成された画像データをコンピュータ内でアナログ画像信号に変換してCRTディスプレイに出力するようにしている。

【 0 0 0 4 】

一方、液晶ディスプレイはデジタルデバイスであるので、コンピュータからアナログ信号として送られてきた画像信号をA／D変換する必要がある。このため、A／D変換を行なうためのサンプリングクロックをディスプレイ側で再生する必要がある。従来においては、水平同期信号だけに基づいて、A／D変換を行なうためのサンプリングクロックを再生していた。しかしながら、水平同期信号とアナログ画像信号の画素との位相関係が常に正しい状態で保たれている保証はなく、また1水平期間内の総クロック数も不明である。したがって、クロックの周波数および位相を調整するシステムが必要となる。

【 0 0 0 5 】

サンプリングクロックの周波数および位相を入力信号に応じて自動調整する方

法として次のような方法がある。入力画像の水平有効画素数が所定の値になるように、1 水平期間の総サンプリングクロック数を調整することによってサンプリングクロック周波数を調整する。また、入力画像信号の水平同期信号を遅延回路を介してサンプリングクロック発生回路に送るようにし、遅延回路の遅延量を調整することによって、サンプリングクロックの位相を調整する。

【 0 0 0 6 】

しかしながら、この方法でサンプリングクロックの周波数および位相の調整を正確に行うには、入力信号が次の条件を満たしている必要がある。

【 0 0 0 7 】

条件 1 : 水平有効画素数を正確に検出するために、入力画像中に水平有効開始点判別用のしきい値レベルを越える水平有効開始点および水平有効終了点判別用のしきい値レベルを越える水平有効終了点が 1 フィールド期間内に最低 1 ポイントづつ存在すること

条件 2 : 第 1 の条件が、複数フィールド期間連続して満たされていること

【 0 0 0 8 】

例えば、多くのスクリーンセーバー画像の場合、CRT の焼きつき防止を目的としているため、位置が固定された枠を表示せず、背景画面を黒レベルに近い画像とし、さらに表示される映像が動きのある画像として表示されている。このため、スクリーンセーバー画像が入力されている場合には、水平有効画素数を正確に検出できなくなる。

【 0 0 0 9 】

また、水平 RAMP 画像には水平映像開始位置あるいは水平映像終了位置を特定する画像の急峻なエッジがなく、画像のノイズ成分や水平ジッタ成分の影響を受けやすいため、水平 RAMP 画像が入力されている場合には、水平有効画素数を正確に検出できない。

【 0 0 1 0 】

つまり、従来においては、上記のような特殊画像信号と通常画像信号の区別が出来ないため、正確なクロック自動調整を行なうことができないという問題がある。

【 0 0 1 1 】

【発明が解決しようとする課題】

この発明は、入力映像信号のしきい値レベルを越える水平映像開始位置と水平映像終了位置の差が水平有効画素数より少ない画像（例えばスクリーンセーバー画面）を適切に判別し、その判別結果に応じてクロック自動調整動作の実行／停止状態を適切に切り替えることで、クロック自動調整の誤動作を防止し、サンプリングクロック調整を正確に行なうことができる画素対応表示装置を提供することを目的とする。

【 0 0 1 2 】

【課題を解決するための手段】

この発明による第 1 の画素対応表示装置は、入力映像信号の水平同期信号に基づいてサンプリングクロックを発生させるクロック発生回路、入力映像信号をクロック発生回路から発生したサンプリングクロックに基づいてサンプリングする A/D 変換器、A/D 変換器から出力される画像データを所定のしきい値と比較することにより、各水平ラインの水平映像開始位置および水平映像終了位置を検出する検出手段、1 フィールド内において検出された水平映像開始位置のうち、水平同期信号によって特定される水平期間開始位置に最も近い水平映像開始位置と、1 フィールド内において検出された水平映像終了位置のうち、水平同期信号によって特定される水平期間開始位置から最も遠い水平映像終了位置とに基づいて、1 フィールド毎に入力画像信号の水平映像開始位置と水平映像終了位置までの距離に相当するサンプリングクロック数を算出するための算出手段、算出手段による算出結果に基づいて、クロック発生回路を制御することにより、サンプリングクロックの周波数を調整する周波数調整手段、算出手段による算出結果に基づいて、入力映像の画像存在領域幅が水平有効画素数より狭いか否かを、1 フィールド毎に判別する判別手段、ならびに入力映像の画像存在領域幅が水平有効画素数より狭いと判別されたときには、そのフィールドで求められたサンプリングクロック数に基づく周波数調整動作を停止させる手段を備えていることを特徴とする。

【 0 0 1 3 】

この発明による第2の画素対応表示装置は、入力画像信号の水平同期信号を遅延させて出力する遅延量可変の遅延回路、遅延回路から出力される水平同期信号に同期したサンプリングクロックを発生するクロック発生回路、入力画像信号をクロック発生回路から発生したサンプリングクロックに基づいてサンプリングするA/D変換器、A/D変換器から出力される画像データを所定のしきい値と比較することにより、各水平ラインの水平映像開始位置および水平映像終了位置を検出する検出手段、1フィールド内において検出された水平映像開始位置のうち、遅延回路から出力される水平同期信号によって特定される水平期間開始位置に最も近い水平映像開始位置と、1フィールド内において検出された水平映像終了位置のうち、遅延回路から出力される水平同期信号によって特定される水平期間開始位置から最も遠い水平映像終了位置とに基づいて、1フィールド毎に入力画像信号の水平映像開始位置と水平映像終了位置までの距離に相当するサンプリングクロック数を算出するための算出手段、遅延回路に対する設定遅延量を1フィールド毎に所定量ずつ変化させることにより、サンプリングクロックの位相を1フィールド毎に所定量ずつ変化させていき、算出手段によって算出されたサンプリングクロック数が減少する方向に変化したときのフィールドにおいて遅延回路に設定されていた設定遅延量を第1遅延量として保持するとともに、算出手段によって算出されたサンプリングクロック数が増加する方向に変化したときのフィールドにおいて遅延回路に設定されていた設定遅延量を第2遅延量として保持し、第1遅延量と第2遅延量との加算平均値を算出し、得られた加算平均値に遅延回路に対する設定遅延量を設定する位相調整手段、算出手段による算出結果に基づいて、入力映像の画像存在領域幅が水平有効画素数より狭いか否かを、1フィールド毎に判別する判別手段、ならびに入力映像の画像存在領域幅が水平有効画素数より狭いと判別されたときには、そのフィールドで求められたサンプリングクロック数に基づく位相調整動作を停止させる手段を備えていることを特徴とする。

【0014】

【発明の実施の形態】

以下、図面を参照してこの発明の実施の形態について説明する。

【 0 0 1 5 】

図 1 は、液晶表示装置の全体的な構成を示している。

【 0 0 1 6 】

コンピュータ（以下 P C という） 1 0 から送られてきた X G A 映像信号 R、G、B は、レベル調整部 1 R、1 G、1 B によって、後段の A / D 変換器 2 R、2 G、2 B の入力条件に合うようにレベル調整される。レベル調整が行われた映像信号 R、G、B は、A / D 変換器 2 R、2 G、2 B によってデジタルの映像データ R、G、B に変換された後、走査変換回路 3 R、3 G、3 B に送られる。

【 0 0 1 7 】

走査変換回路 3 R、3 G、3 B では、液晶パネル 7 R、7 G、7 B に適合するように、映像データ R、G、B が走査変換される。走査変換回路 3 R、3 G、3 B の出力は、D / A 変換器 4 R、4 G、4 B によってアナログの映像信号 R、G、B に変換される。

【 0 0 1 8 】

D / A 変換器 4 R、4 G、4 B から出力される映像信号 R、G、B は、色信号ドライバ 5 およびサンプルホールド回路 6 R、6 G、6 B を介して液晶パネル 7 R、7 G、7 B に送られる。

【 0 0 1 9 】

走査変換回路 3 R、3 G、3 B、色信号ドライバ 5、サンプルホールド回路 6 R、6 G、6 B および液晶パネル 7 R、7 G、7 B には、タイミングコントローラ 3 0 からタイミング信号が送られる。A / D 変換器 2 R、2 G、2 B に送られるサンプリングクロックは、サンプリングクロック調整回路 4 0 によって生成される。D / A 変換器 4 R、4 G、4 B に送られるサンプリングクロックは、タイミングコントローラ 3 0 によって生成される。タイミングコントローラ 3 0 およびサンプリングクロック調整回路 4 0 は、C P U 2 0 によって制御される。

【 0 0 2 0 】

図 2 は、サンプリングクロック調整回路 4 0 の構成を示している。

【 0 0 2 1 】

コンピュータ 1 0 から液晶表示装置に入力された画像信号 R、G、B それぞれ

は、レベル調整部 1 R、1 G、1 B によって、A/D 変換器 (A/D コンバータ) 2 R、2 G、2 B の入力条件に合うようにレベル調整される。レベル調整された R、G、B 信号は、A/D コンバータ 2 R、2 G、2 B によってデジタルの R、G、B データに変換される。

【 0 0 2 2 】

A/D コンバータ 2 R、2 G、2 B に対するサンプリングクロックは、クロック発生回路 (PLL 回路) 5 2 によって生成される。クロック発生回路 5 2 には、水平同期信号遅延回路 5 1 を介して入力画像信号に対する水平同期信号が送られている。クロック発生回路 5 2 は、水平同期信号遅延回路 5 1 から出力される水平同期信号を基準にサンプリングクロックを発生させる。サンプリングクロックの位相は、水平同期信号遅延回路 5 1 に設定される遅延量を変化させることによって調整される。

【 0 0 2 3 】

A/D コンバータ 2 R、2 G、2 B によって得られたデジタルの R、G、B データは、水平映像開始終了検出回路 4 1 に送られる。水平映像開始終了検出回路 4 1 は、A/D コンバータ 2 R、2 G、2 B の出力データに基づいて、各水平ライン毎に水平映像開始位置と水平映像終了位置とを検出するために設けられたものである。

【 0 0 2 4 】

つまり、水平映像開始終了検出回路 4 1 は、入力された R、G、B データが所定の第 1 しきい値 (映像スライスレベル) より低いレベルから、第 1 しきい値より高いレベルに変化したときに、サンプリングクロック 1 個分のパルス信号からなる水平映像開始信号を出力する。ただし、入力データが、第 1 しきい値より低いレベルから、第 1 しきい値より高いレベルに変化することによって水平映像開始信号が出力された後において、入力データが第 1 しきい値より高いレベルを維持している場合には、水平映像開始信号は出力されない。水平映像開始信号が出力された後において、入力データが第 1 しきい値より低くなり、その後に第 1 しきい値を再度越えた場合には、水平映像開始信号が再度出力される。

【 0 0 2 5 】

また、水平映像開始終了検出回路 4 1 は、入力された R、G、B データが所定の第 2 しきい値より高いレベルから第 2 しきい値より低いレベルに変化したときに、サンプリングクロック 1 個分のパルス信号からなる水平映像終了信号を出力する。水平映像開始終了検出回路 4 1 から出力された水平映像開始信号および水平映像終了信号は、最大ホールド部 4 3 に送られる。

【 0 0 2 6 】

第 1 および第 2 しきい値として大きな値を設定すると輝度の低いデータは読み取れなくなり、第 1 および第 2 しきい値として小さな値を設定するとノイズをデータとして読み取る可能性があるので、第 1 および第 2 しきい値としてはノイズを拾わない程度の低い値が設定される。

【 0 0 2 7 】

H カウンタ 4 2 は、H カウンタ 4 2 に入力されるサンプリングクロックの数をカウントする。ただし、H カウンタ 4 2 は、水平同期信号遅延回路 5 1 から水平同期信号が入力される毎にリセットされる。したがって、H カウンタ 4 2 は、各水平期間毎に、水平同期信号遅延回路 5 1 から出力される水平同期信号の出力タイミングからのサンプリングクロックの出力数をカウントする。H カウンタ 4 2 のカウント値は、最大ホールド部 4 3 に送られる。

【 0 0 2 8 】

最大ホールド部 4 3 は、水平映像開始信号が入力されたときの H カウンタ 4 2 のカウント値（以下、水平映像開始カウント値という）のうち、各フィールドにおいて最小のものを保持する。また、最大ホールド部 4 3 は、水平映像終了信号が入力されたときの H カウンタ 4 2 のカウント値（以下、水平映像終了カウント値という）のうち、各フィールドにおいて最大のものを保持する。最大ホールド部 4 3 は、1 フィールド毎に、水平映像開始カウント値と水平映像終了カウント値とを、減算器 4 4 に送る。ただし、最大ホールド部 4 3 は、1 フィールド毎にリセットされる。

【 0 0 2 9 】

減算器 4 4 は、1 垂直期間毎に、最大ホールド部 4 3 から 1 フィールド毎に送られてくる水平映像開始カウント値と水平映像終了カウント値との差を算出し、

その演算結果を絶対値回路 4 5 に出力する。絶対値回路 4 5 は、減算器 4 4 によって得られた演算結果の絶対値を出力する。

【 0 0 3 0 】

絶対値回路 4 5 の出力は、フィールド積算平均化回路 4 6、クロック周波数検出回路 4 8 およびクロック位相検出回路 4 9 に送られる。

【 0 0 3 1 】

クロック周波数検出回路 4 8 は、サンプリングクロックの周波数自動調整時において、サンプリングクロックの周波数が最適な値かどうかを検出する回路である。クロック周波数検出回路 4 8 は、絶対値回路 4 5 の出力値と予め定められた水平有効画素数を比較し、絶対値回路 4 5 の出力値が水平有効画素数より小さければ、サンプリングクロックの周波数を上げるように CPU 5 0 に指示し、絶対値回路 4 5 の出力値が水平有効画素数より大きければ、サンプリングクロックの周波数クロック周波数を下げるように CPU 5 0 に指示する。

【 0 0 3 2 】

CPU 5 0 は、クロック周波数検出回路 4 8 から指示に応じて、クロック発生回路 5 2 を制御する。これにより、絶対値回路 4 5 の出力値が水平有効画素数と一致するように、サンプリングクロックの周波数が調整される。

【 0 0 3 3 】

クロック位相検出回路 4 9 は、サンプリングクロックの位相自動調整時において、サンプリングクロックの位相が最適な状態かどうかを検出する回路である。クロック位相検出回路 4 9 は、水平同期信号遅延回路 5 1 の遅延量を 1 フィールド毎に、所定量ずつ変化させていき、水平映像開始カウント値と水平映像終了カウント値との差の変化に基づいて、クロック位相の最良点を検出して、CPU 5 0 に指示する。

【 0 0 3 4 】

CPU 5 0 は、クロック位相検出回路 4 9 からの指示に応じて、水平同期信号遅延回路 5 1 の遅延量を制御することにより、サンプリングクロックの位相を調整する。クロック位相検出回路 4 9 の詳細については、後述する。

【 0 0 3 5 】

フィールド積算平均化回路 4 6 は、絶対値回路 4 5 の出力結果の信頼性を上げ、ノイズ等による瞬時の誤動作を防止するために、1 フィールド毎に、絶対値回路 4 5 の出力値の平均を算出する。つまり、1 フィールド内に絶対値回路 4 5 から出力される水平ライン毎の出力値を加算して、水平ライン数で除算することにより、1 フィールド当たりの絶対値回路 4 5 の出力値の平均を算出する。

【 0 0 3 6 】

フィールド積算平均化回路 4 6 から出力される 1 フィールド当たりの絶対値回路 4 5 の出力値の平均値は、表示領域狭小画像検出回路 4 7 に送られる。表示領域狭小画像検出回路 4 7 は、フィールド積算平均化回路 4 6 から送られてきた平均値を、基準値と比較することにより、入力画像が狭小画像（スクリーンセーバー画像を含む）であるか通常画像であるか判別する。ここで、狭小画像とは、画像存在領域幅が水平有効画素数より狭い画像をいう。また、基準値としては、水平有効画素数より所定数だけ少ない値が用いられる。

【 0 0 3 7 】

表示領域狭小画像検出回路 4 7 の判別結果は、CPU 5 0 に送られる。クロック周波数自動調整時において、表示領域狭小画像検出回路 4 7 によって狭小画像が検出されていないときには CPU 5 0 はクロック発生回路 5 2 に対するクロック周波数調整動作を行ない、表示領域狭小画像検出回路 4 7 によって狭小画像が検出されているときには CPU 5 0 はクロック発生回路 5 2 に対するクロック周波数調整動作を停止させる。

【 0 0 3 8 】

同様に、クロック位相自動調整時において表示領域狭小画像検出回路 4 7 によって狭小画像が検出されていないときには CPU 5 0 は水平同期信号遅延回路 5 1 に対するクロック位相調整動作を行ない、表示領域狭小画像検出回路 4 7 によって狭小画像が検出されているときには CPU 5 0 は水平同期信号遅延回路 5 1 に対するクロック位相調整動作を停止させる。

【 0 0 3 9 】

上記表示領域狭小画像検出回路 4 7 の特徴は、単なる動画像検出を行うのではなく、サンプリングクロック調整に必要な情報となる水平映像開始位置および水

平映像終了位置を検出することが難しい画像、特にスクリーンセーバー画面に多く見られる狭小画像を判別できる点にある。もちろん水平 RAMP 画像や全黒画面を、狭小画像として検出できることは明らかである。

【 0 0 4 0 】

図 3 (a) に示すような通常の映像信号が入力された場合には、Th 1 を第 1 しきい値とし、Th 2 を第 2 しきい値とすると、絶対値回路 4 5 から出力される出力値（水平映像開始カウント値と水平映像終了カウント値との差）X は、水平有効画素数に一致する。

【 0 0 4 1 】

図 3 (b) のように、水平有効映像期間内で、2 つのしきい値レベルを上下する変化がある映像信号が入力された場合にも、最初に検出された水平映像開始位置に対応する水平映像開始カウント値と、最後に検出された水平映像終了位置に対応する水平映像終了カウント値とが、最大ホールド部 4 3 によって保持されるため、絶対値回路 4 5 から出力される出力値 X は、水平有効画素数に一致する。

【 0 0 4 2 】

図 3 (c) に示すような水平 RAMP 画像の映像信号が入力された場合には、水平映像開始位置を特定するための急峻なエッジがなく、ノイズの影響を受けやすいため、水平映像開始位置が不安定となる。したがって、絶対値回路 4 5 から出力される出力値（水平映像開始カウント値と水平映像終了カウント値との差）X は、水平有効画素数より小さくなり、正確なクロック調整ができない。表示領域狭小画像検出回路 4 7 は、このような水平 RAMP 画像が入力された場合には入力画像を狭小画像として検出するため、クロック調整動作が停止せしめられる。

【 0 0 4 3 】

クロック位相検出回路 4 9 について説明する。クロック位相自動調整時には、クロック位相検出回路 4 9 は、水平同期信号遅延回路 5 1 の遅延量を 1 フィールド毎に、所定量ずつ変化させていき、水平映像開始カウント値と水平映像終了カウント値との差の変化に基づいて、クロック位相の最良点を検出する。

【 0 0 4 4 】

図 5 に基づいて、クロック位相の最良点を検出するための原理について説明する。

【 0 0 4 5 】

図 5 (a) は、クロック位相を変化させた場合に、入力画像信号の画素とクロック位相との関係がデータ安定状態になったり、データ不安定状態になったりする様子を示している。

【 0 0 4 6 】

a 点がクロック位相の最良点であり、A / D コンバータ 2 R、2 G、2 B でサンプリングされる画像データが最も安定するポイントである。a 点からクロック位相を徐々にシフトしていくと、A / D コンバータ 2 R、2 G、2 B でサンプリングされるデータが不安定となり、b 点では最も不安定となる。

【 0 0 4 7 】

図 5 (a) では、データ安定状態を示す変化曲線として、理解しやすくするために S I N 波形を用い、かつ位相 9 0 度のポイントを最良点とした例を示しているが、クロックの周波数やクロックジッタ量および映像スライスレベルの設定によって、この変化曲線は変化する。しかしながら、データ安定状態を示す変化曲線においては、常に、最良点である a 点付近がなだらかな曲線となるため、曲線の頂点すなわち最良点 a 点が見つけにくいことが理解できる。

【 0 0 4 8 】

図 5 (b) は、クロック位相を正方向へ変化させた場合の水平映像開始カウント値と水平映像終了カウント値の差の絶対値が変化する様子を示している。図 5 (b) からわかるように、m 点では上記絶対値が以前の値 $x + 1$ から x へ減少している。また、n 点では上記絶対値が以前の値 x から $x + 1$ へ増加している。この絶対値変化の起こる特異点 m、n は、最良点 a 点を中心として等距離だけ離れた位置にくる。

【 0 0 4 9 】

図 5 (c) に示すように、クロック位相最良点 a 付近の絶対値 x に比べて、クロック位相不安定の b 点付近の絶対値は $x + 1$ の値となる。したがって、絶対値が x となる範囲内でかつ特異点である m 点と n 点の中点を求めれば、クロック位

相の最良点 a 点が見つけれられる。

【 0 0 5 0 】

図 4 は、クロック位相検出回路の構成を示している。

【 0 0 5 1 】

自動位相調整タイミング発生回路 1 0 4 は、たとえば液晶表示装置への入力信号が切り替わったことを検出したとき、あるいは操作者によって自動調整指令が入力されたとき等において、自動調整開始信号を出力する。

【 0 0 5 2 】

クロック位相設定カウンタ 1 0 3 には、デフォルト値が初期設定されており、自動調整開始信号が入力されると、入力画像信号の垂直帰線期間毎にアップカウント（カウント値が 1 だけインクリメント）される。また、スイッチ回路 1 0 8 は、常時は接点 a 側に切り換えられているが、自動調整時には接点 b 側に切り換えられる。

【 0 0 5 3 】

クロック位相設定カウンタ 1 0 3 のカウント値は、スイッチ回路 1 0 8 を通して CPU 5 0 に入力される。CPU 5 0 は、表示領域狭小画像検出回路 4 7 によって狭小画像が検出されていないときには、スイッチ回路 1 0 8 から送られてきたクロック位相設定カウンタ 1 0 3 のカウント値を水平同期信号遅延回路 5 1 に送る。

【 0 0 5 4 】

水平同期信号遅延回路 5 1 は、CPU 5 0 から送られてきたクロック位相設定カウンタ 1 0 3 のカウント値に応じた遅延量によって水平同期信号を遅延させる。

【 0 0 5 5 】

第 1 の変化点検出回路 1 0 1 は、絶対値回路 4 5 から出力される絶対値が以前の値よりも減少する第 1 変化点（図 5（a）の m 点）を検出する。第 1 のクロック位相ホールド回路 1 0 5 は、第 1 の変化点検出回路 1 0 1 によって第 1 変化点検出されたフィールドにおいて水平同期信号遅延回路 5 1 に設定されたクロック位相設定カウンタ 1 0 3 のカウント値を保持する。

【 0 0 5 6 】

第 2 の変化点検出回路 1 0 2 は、絶対値回路 4 5 から出力される絶対値が以前の値よりも増加する第 2 変化点（図 5（a）の n 点）を検出する。第 2 のクロック位相ホールド回路 1 0 6 は、第 2 の変化点検出回路 1 0 2 によって第 2 変化点を検出されたフィールドにおいて水平同期信号遅延回路 5 1 に設定されたクロック位相設定カウンタ 1 0 3 のカウント値を保持する。

【 0 0 5 7 】

加算平均回路 1 0 7 は、第 1 のクロック位相ホールド回路 1 0 5 に保持されているカウント値（第 1 カウント値）と第 2 のクロック位相ホールド回路 1 0 6 に保持されているカウント値（第 2 カウント値）とが、第 2 カウント値が第 1 カウント値より大きいという関係を満たしたときに、第 1 カウント値と第 2 カウント値との加算平均値を算出するとともに、自動位相調整終了信号を出力する。

【 0 0 5 8 】

第 1 のクロック位相ホールド回路 1 0 5 に保持されているカウント値（第 1 カウント値）と第 2 のクロック位相ホールド回路 1 0 6 に保持されているカウント値（第 2 カウント値）とが、第 2 カウント値が第 1 カウント値より大きいという関係を満たしたときに自動位相調整を終了するようにしているのは、次の理由による。すなわち、第 1 変化点（図 5（a）に示す m 点）より、第 2 変化点（図 5（a）に示す n 点）が先に検出され、その後に第 1 変化点を検出された場合には、その次に第 2 変化点を検出されるのまで、自動調整を維持させるためである。

【 0 0 5 9 】

自動位相調整終了信号が出力されると、スイッチ回路 1 0 8 が接点 a 側に戻され、加算平均回路 1 0 7 によって算出された値が最適な遅延量設定値（クロック位相設定値）として、CPU 5 0 を介して水平同期信号遅延回路 5 1 に送られる。そして、自動位相調整は終了する。

【 0 0 6 0 】

上記クロック位相検出回路 4 9 の特徴は、入力画像信号のレベル値をそのまま利用するのではなく、水平映像開始位置から水平映像終了位置までに出力されるサンプリングクロック数に基づいてクロック位相の特異点を検出する点にある。

【 0 0 6 1 】

上記クロック位相検出回路 4 9 によれば、画像内容やアナログ波形の周波数特性、すなわちオーバーシュート歪やリングング歪の影響を受けやすい画像信号の白レベル付近や黒レベル付近のデータに関係なく、安定して最良なクロック位相を検出することができる。また、水平映像の開始位置および終了位置の両方のデータを利用しているので、画像の左部分と右部分とでのクロック位相の微妙な違いを吸収することができ、画面全体に均等かつ最良なクロック位相を検出することができる。

【 0 0 6 2 】

上記実施の形態によれば、入力画像が狭小画像に切り替わったことを判別し、サンプリングクロックの周波数またはクロック位相の自動調整動作を停止させることができるので、サンプリングクロックの自動調整が誤動作することがなく、画像信号の画素データとサンプリングクロックが最も安定な位相関係を保ち、安定な映像を画素対応パネルに表示させることが可能となる。

【 0 0 6 3 】

【発明の効果】

この発明によれば、サンプリングクロックの調整を正確に行なうことができるようになる。

【図面の簡単な説明】

【図 1】

液晶表示装置の構成を示すブロック図である。

【図 2】

液晶表示装置に設けられたサンプリングクロック調整回路の構成を示すブロック図である。

【図 3】

各種入力信号に対する、水平映像開始位置、水平映像終了位置および水平有効画素を示す模式図である。

【図 4】

クロック位相検出回路の構成を示すブロック図である。

【図 5】

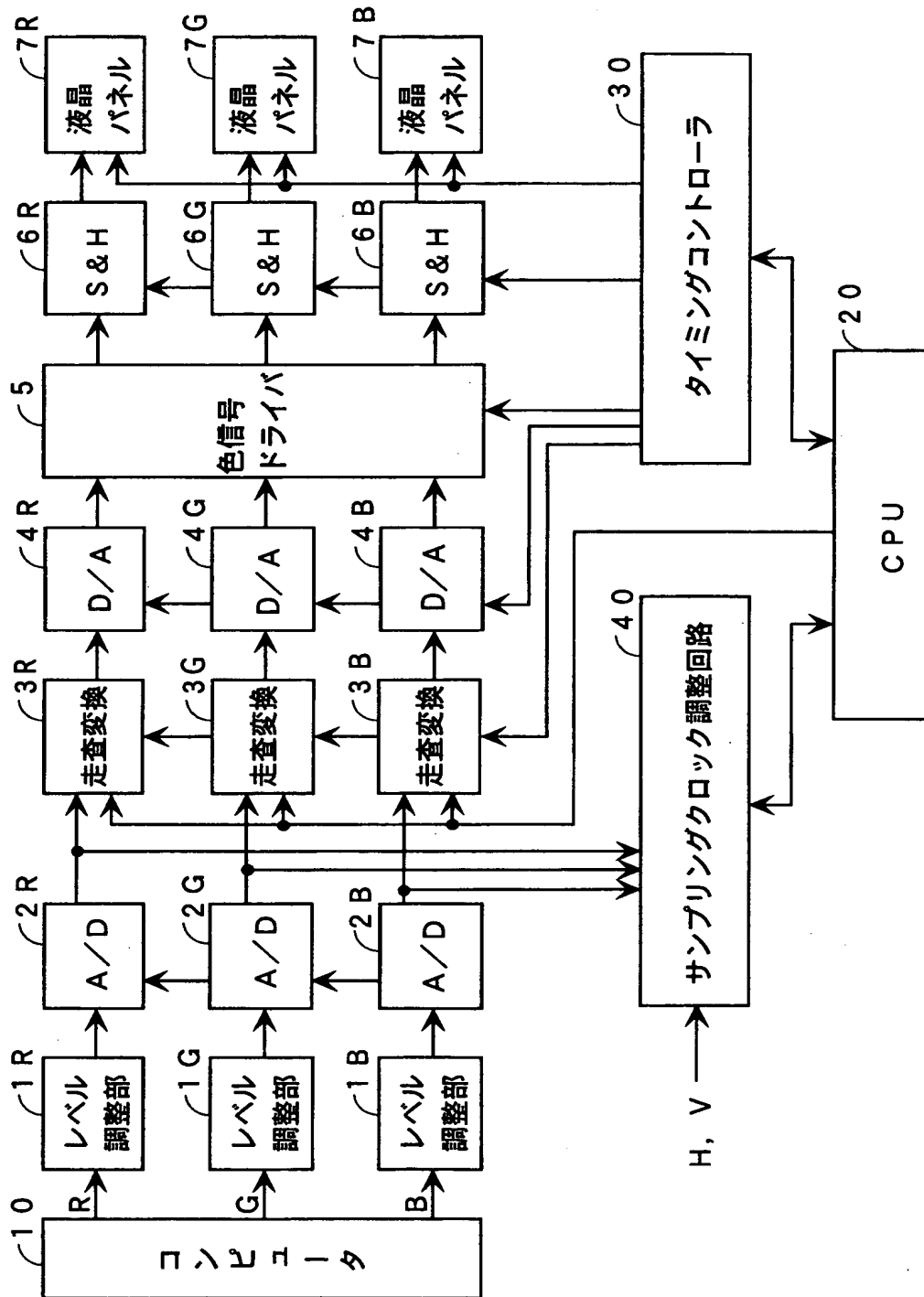
クロック位相の最良点を検出するための原理を説明するための説明図である。

【符号の説明】

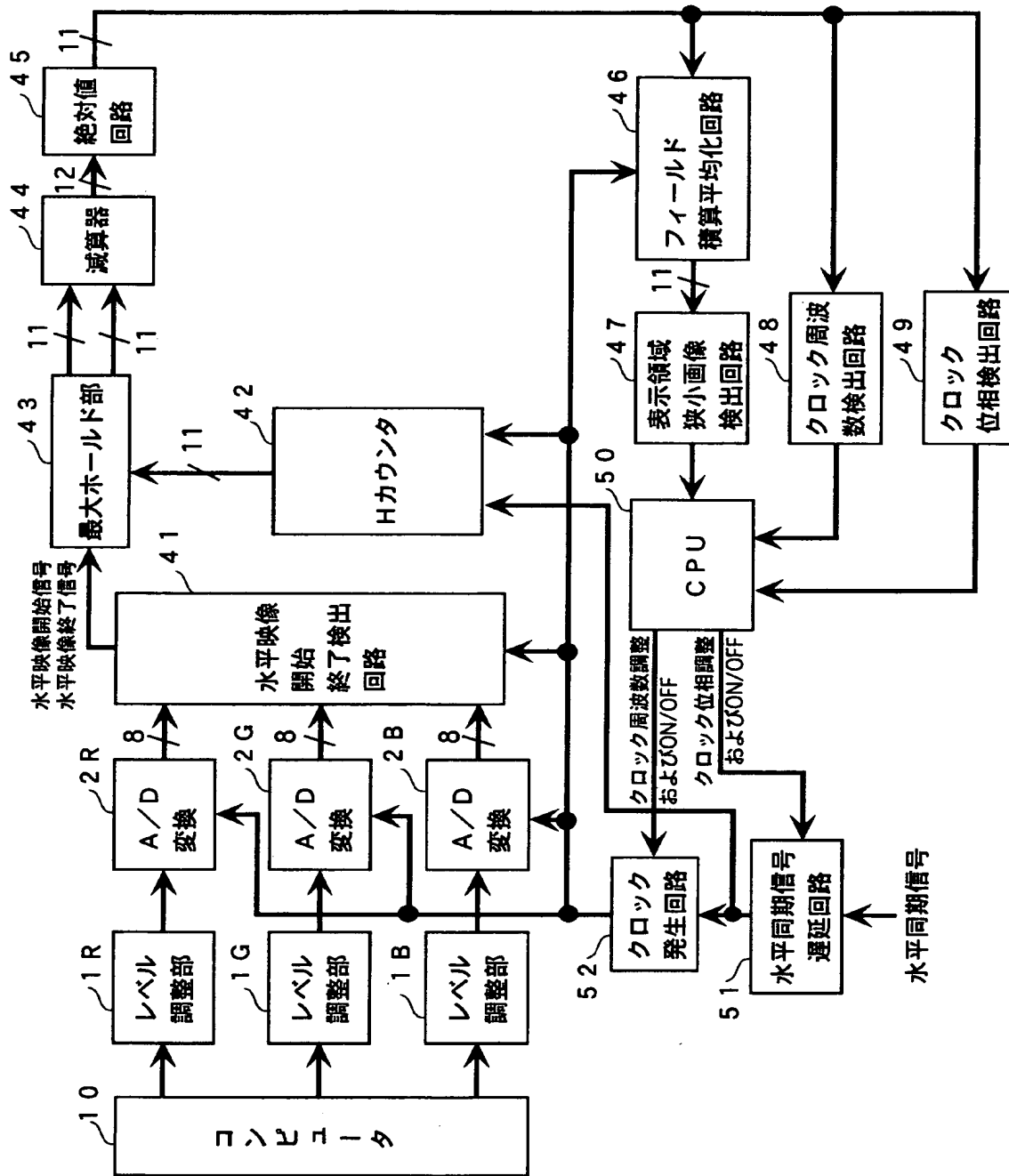
- 1 R、1 G、1 B レベル調整部
- 2 R、2 G、2 B A/Dコンバータ
- 4 1 水平映像開始終了検出回路
- 4 2 Hカウンタ
- 4 3 最大ホールド部
- 4 4 減算器
- 4 5 絶対値回路
- 4 6 フィールド積算平均化回路
- 4 7 表示領域狭小画像検出回路
- 4 8 クロック周波数検出回路
- 4 9 クロック位相検回路
- 5 0 C P U
- 5 1 水平同期信号遅延回路
- 5 2 クロック発生回路

【書類名】 図面

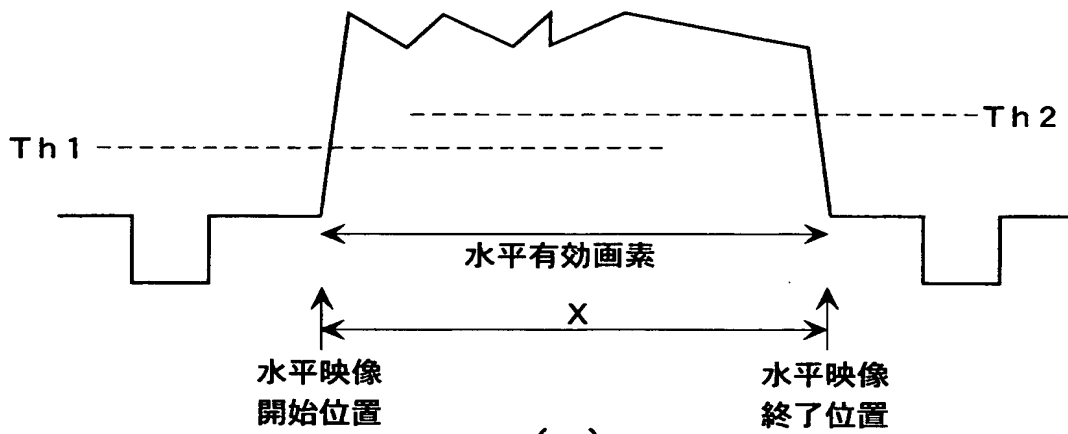
【図 1】



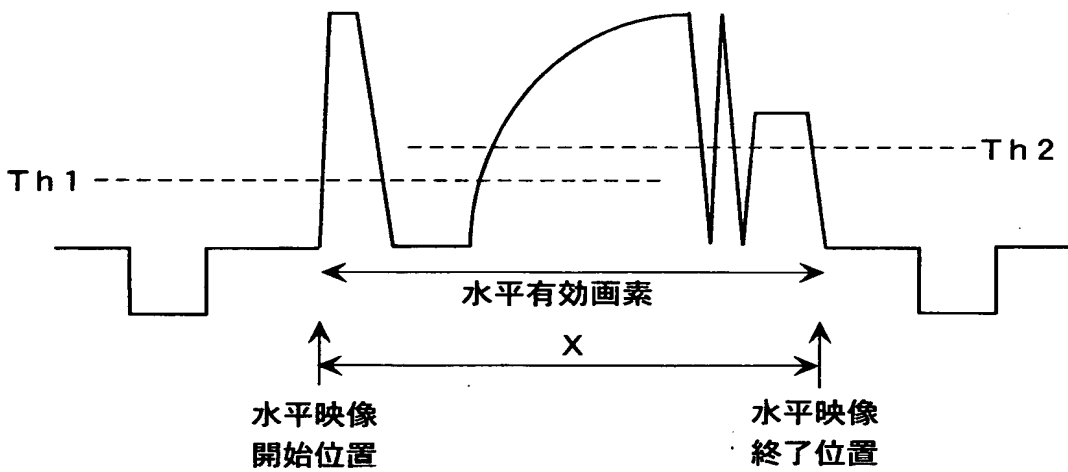
【図 2】



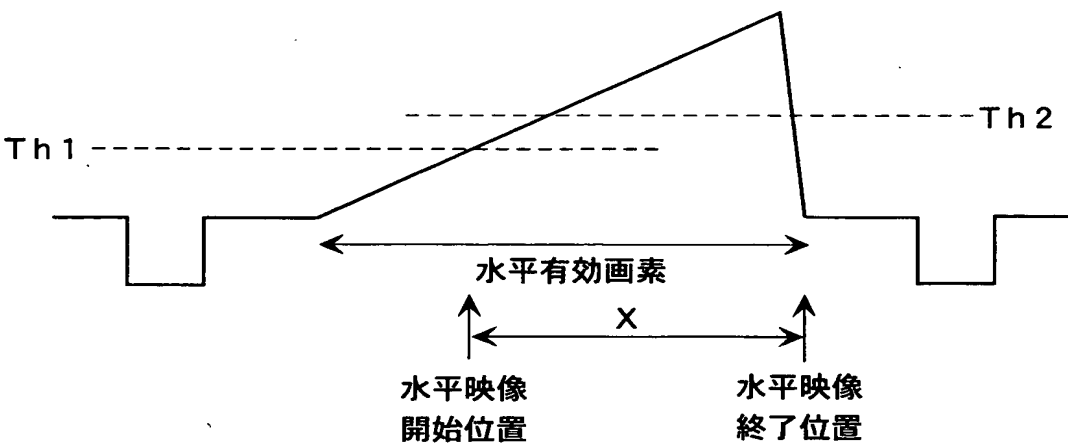
【図 3】



(a)

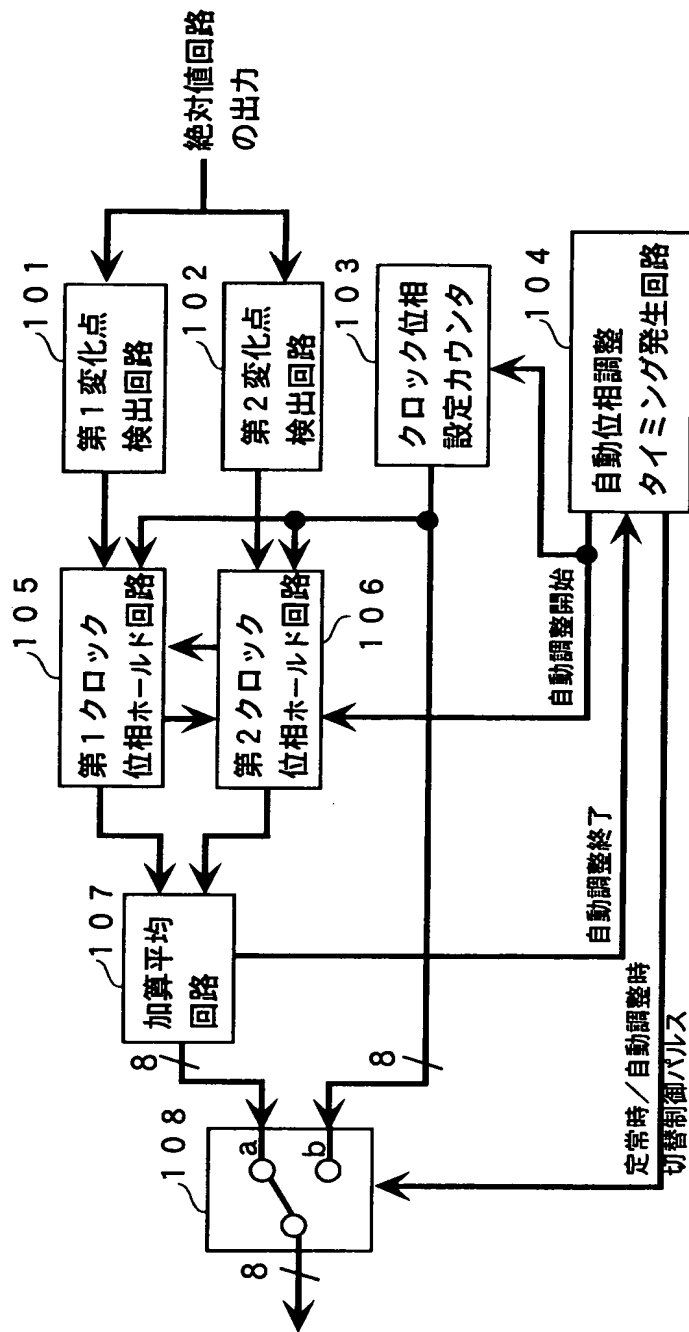


(b)

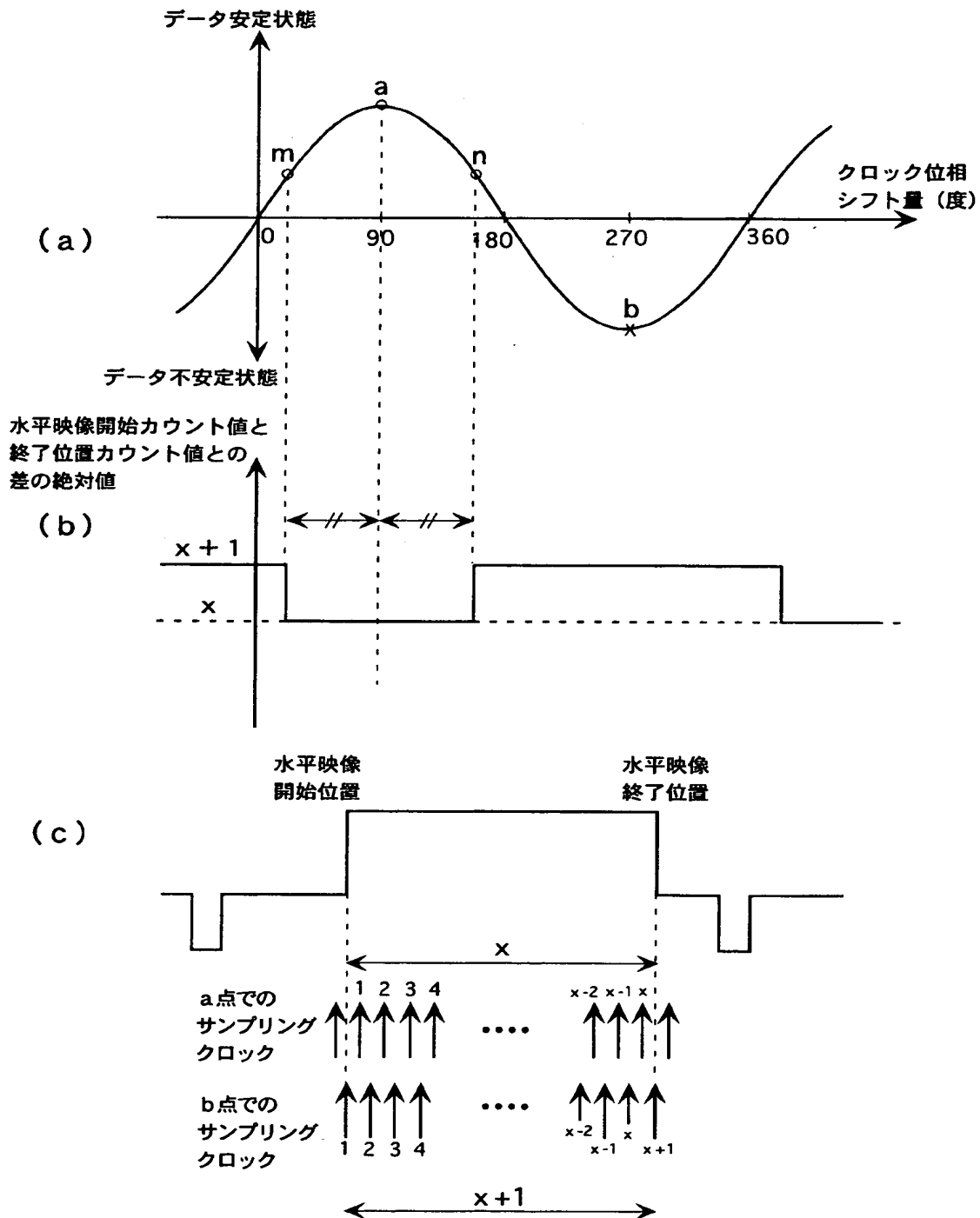


(c)

【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 この発明は、サンプリングクロックの調整を正確に行なうことができるようになる。

【解決手段】 算出手段による算出結果に基づいて、入力映像の画像存在領域幅が水平有効画素数より狭いか否かを、1 フィールド毎に判別する判別手段、ならびに入力映像の画像存在領域幅が水平有効画素数より狭いと判別されたときには、そのフィールドで求められたサンプリングクロック数に基づく周波数調整動作を停止させる手段を備えている。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000001889]

1. 変更年月日 1993年10月20日
[変更理由] 住所変更
住 所 大阪府守口市京阪本通2丁目5番5号
氏 名 三洋電機株式会社